

**Family list**

**1** application(s) for: **JP59005672**

**1 MANUFACTURE OF THIN FILM TRANSISTOR**

**Inventor:** OOSHIMA HIROYUKI ; KODAIRA  
TOSHIMOTO (+1)

**Applicant:** SUWA SEIKOSHA KK

**EC:** H01L29/78

**IPC:** H01L29/786; G02F1/136; G02F1/1368;  
(+11)

**Publication info:** JP59005672 (A) — 1984-01-12  
JP3071792 (B) — 1991-11-14  
JP1708805 (C) — 1992-11-11

Data supplied from the **esp@cenet** database — Worldwide

# MANUFACTURE OF THIN FILM TRANSISTOR

**Patent number:** JP59005672 (A)

**Publication date:** 1984-01-12

**Inventor(s):** OOSHIMA HIROYUKI; KODAIRA TOSHIMOTO; MANO TOSHIHIKO

**Applicant(s):** SUWA SEIKOSHA KK

**Classification:**

**- international:** H01L29/786; G02F1/136; G02F1/1368; H01L21/336; H01L27/12; H01L29/40; H01L29/78; G02F1/13; H01L21/02; H01L27/12; H01L29/40; H01L29/66; (IPC1-7): H01L27/12; H01L29/62

**- european:** H01L29/78

**Application number:** JP19820114966 19820702

**Priority number(s):** JP19820114966 19820702

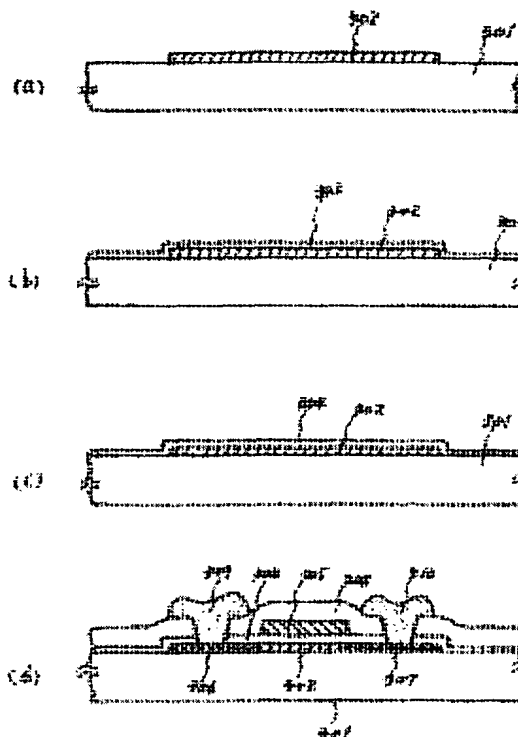
**Also published as:**

□ JP3071792 (B)

□ JP1708805 (C)

## Abstract of JP 59005672 (A)

**PURPOSE:** To improve the characteristics of a transistor to a large extent, by depositing a silicon dioxide film on a silicon thin film from the outside, thereafter performing thermal oxidation, thereby making the thickness of the silicon thin film further thin. **CONSTITUTION:** A silicon thin film 302 is deposited on an n insulating substrate 301. The film thickness is made to be, e.g.  $t_0=500\text{Angstrom}$ . Then, a silicon dioxide film 303 is deposited on the entire surface. The film thickness is made to be, e.g.  $t_{oxo}=1,300\text{Angstrom}$ . In this case, the silicon dioxide film can be formed by any method if the film is not formed by oxidizing the silicon thin film but is directly deposited from the outside. Thermal oxidation treatment is performed, and a film thickness 304 of the silicon dioxide film on the silicon thin film is grown. The final film thickness of the silicon thin film becomes  $t_1=400\text{Angstrom}$  by the thermal oxidation. After a gate electrode 305 has been formed, impurities are introduced into the silicon thin film, and a source region 306 and a drain region 307 are formed. Then, an interlayer insulating film 308 is deposited, contact holes are provided, and a source electrode 309 and a drain electrode 310 are formed.



Data supplied from the esp@cenet database — Worldwide

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭59—5672

① Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 27/12  
29/62

識別記号

庁内整理番号  
7377—5F  
8122—5F  
7638—5F

⑬ 公開 昭和59年(1984)1月12日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑬ 薄膜トランジスタの製造方法

会社諏訪精工舎内

① 特 願 昭57—114966

② 発 明 者 真野敏彦

② 出 願 昭57(1982)7月2日

諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内

③ 発 明 者 大島弘之  
諏訪市大和3丁目3番5号株式  
会社諏訪精工舎内

④ 出 願 人 株式会社諏訪精工舎  
東京都中央区銀座4丁目3番4  
号

⑤ 発 明 者 小平寿源  
諏訪市大和3丁目3番5号株式

⑥ 代 理 人 弁理士 最上務

明 細 書

発明の名称

薄膜トランジスタの製造方法

特許請求の範囲

シリコン薄膜及びゲート絶縁膜となる二酸化シリコン膜を備えた薄膜トランジスタの製造方法において、前記シリコン薄膜上に、外部から二酸化シリコン膜を堆積させた後、熱酸化を行なうことによりゲート絶縁膜を形成することを特徴とする薄膜トランジスタの製造方法。

発明の詳細な説明

本発明は薄膜トランジスタにおけるゲート絶縁膜の製造方法に関する。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。この技術は、安価な絶縁基板を用いて薄形ディスプレイを実現するアクティブマトリックスパネル、あるいは通常の半導体集積回路上にトランジスタなどの能動素

子を形成する三次元集積回路、あるいは安価で高性能なイメージセンサ、あるいは高密度のメモリなど、数多くの応用が期待されるものである。

薄膜トランジスタをこれらの分野に応用する場合、要求される特性は、一般に、次の2種類に分類される。

- (1) 薄膜トランジスタをロ・M状態にした時ソース・ドレイン間に充分大きい電流を流すことができること。
- (2) 薄膜トランジスタをロ・M状態にした時、ソース・ドレイン間に、極力、電流が流れないこと。

(1)は、薄膜トランジスタがロ・Mの状態の時に要求される特性に関するものである。薄膜トランジスタをいずれの分野に応用する場合においても、ロ・M状態の時にソース・ドレイン間に流れる電流(以下、ロ・M電流という。)は、充分大きいことが要求される。ロ・M電流は、システム全体の動作上限周波数を決定する。これは薄膜トランジスタの動作スピードが、様々な容量の充放電の時定数

により決定されることによる。したがって、動作上限周波数を高めるためには、ON電流を充分大きくして容量の充放電の時定数を小さくすることが必要となる。薄膜トランジスタの飽和特性領域では、ON電流  $I_{ON}$  は次式で与えられる。

$$I_{ON} = C_{OX} \mu \frac{W}{L} (V_{GS} - V_{th})^2$$

ここに  $C_{OX}$  は単位面積当りのゲート絶縁膜の容量、 $\mu$  はキャリアの移動度、 $L$  及び  $W$  はそれぞれ薄膜トランジスタのチャネル長及びチャネル幅、 $V_{GS}$  はゲート電圧、 $V_{th}$  はスレシヨルド電圧である。 $C_{OX}$  はゲート絶縁膜の膜厚により決定され、 $L$ 、 $W$  は要求される集積度やパターンニング技術により決定される。また  $V_{GS}$  はシステムの駆動電圧により決定される。したがって、ON電流を高めるには、上式より移動度  $\mu$  を大きくし、スレシヨルド電圧  $V_{th}$  を小さくしなくてはならないことがわかる。一般に薄膜トランジスタには数  $M\Omega$  程度の動作上限周波数を有することが要求されるが、これを満足するためには、移動度  $\mu$  が  $10 \text{ cm}^2/\text{V}\cdot\text{sec}$  以上であることが必要となる。これを実現させるために、半導体薄膜材料として、多結晶シリコンなどが有望

視されている。また、 $V_{th}$  を小さくするためには、半導体薄膜とゲート絶縁膜との界面に存在する界面単位密度を減少させることが必要となる。界面単位密度はゲート絶縁膜の形成方法と密接な関係があり、一般に、化学気相成長法（以下、CVDという。）や物理気相成長法（以下、PVDという。）によりゲート絶縁膜を形成すると界面単位密度は大きくなり、シリコンの熱酸化により形成した二酸化シリコンをゲート絶縁膜として用いると界面単位密度は小さくなることが知られている。したがって、 $V_{th}$  を小さくして良好なトランジスタ特性を実現するには、シリコン薄膜を熱酸化して二酸化シリコンを形成し、これをゲート絶縁膜として用いることが望ましい。

(2)は、薄膜トランジスタがOFFの状態の時に要求される特性である。薄膜トランジスタがOFF状態の時にソース・ドレイン間に流れる電流（以下、OFF電流という。）は、極力、小さいことが要求される。OFF電流はデータの保持特性、静止電流、動作下限周波数などを決定する。

したがって、薄膜トランジスタのOFF電流を充分低減させることが不可欠となる。薄膜トランジスタのOFF電流  $I_{OFF}$  は、半導体薄膜の抵抗値により決定され、次式で表わされる。

$$I_{OFF} = \frac{dW}{PL} V_D$$

ここに  $d$  は半導体薄膜の膜厚、 $P$  は半導体薄膜の比抵抗、 $V_D$  はドレイン電圧である。また  $L$ 、 $W$  は前記の通りである。この式からわかるように、OFF電流を低減させるためには、半導体薄膜の膜厚  $d$  を小さくすればよいことがわかる。また、半導体薄膜の膜質は、形成膜厚によって大きく変化し、したがって半導体薄膜の比抵抗  $P$  は膜厚  $d$  と共に変化する。すなわち  $d$  が小さいほど  $P$  は大きくなり、本出願人が実験した結果によると

$$I_{OFF} \propto d^n \quad (n \approx 2.5)$$

の関係が確認されている。したがって、 $d$  の減少は、 $I_{OFF}$  の低減に大きく貢献する。また、 $d$  を減少させることは、ON特性の向上にも関与する。すなわち、膜厚  $d$  が減少すると、半導体薄膜中の空間電荷の絶対量が減少するため、スレシヨルド

電圧  $V_{th}$  が低下し、したがってON特性が大幅に向上する。

以上をまとめると、ON特性及びOFF特性の優れた薄膜トランジスタを実現するためには、できる限り薄く形成したシリコン薄膜を熱酸化して二酸化シリコンを形成し、これをゲート絶縁膜として用いることが必要であるといえる。

しかし、従来のこのような方法では、製造プロセスのマージンが小さく、十分に薄いシリコン薄膜によるトランジスタを安定に製造することが難しかった。以下、第1図を参照しつつ、このような従来の薄膜トランジスタの製造方法の欠点について述べる。

最終的なシリコン薄膜の膜厚  $t_1$  は、 $t_1 = t_0 - 0.45 t_{OX}$  により与えられるから、この場合  $t_1 \approx 800 \text{ \AA}$  となる。

第1図は従来の薄膜トランジスタの製造方法を示すものである。第1図(a)に示すように、絶縁基板101上にシリコン薄膜102を堆積する。この際、前述の理由により、シリコン薄膜102

の膜厚( $t_1$ とする。)は薄く(例えば $t_1=1500\text{\AA}$ )形成する。次に第1図(b)のように高温酸素雰囲気中で前記シリコン薄膜を酸化し、二酸化シリコン103を形成する。この二酸化シリコン103の膜厚 $t_{ox}$ は例えば $t_{ox}=1500\text{\AA}$ である。次に第1図(c)のように、形成された二酸化シリコンをゲート絶縁膜としてその上にゲート電極104を形成する。

その後、イオン打ち込み法によりシリコン薄膜中に不純物を導入し、ソース領域105及びドレイン領域106を形成する。次に第1図(d)のように、層間絶縁膜107を堆積させた後、コンタクトホールを開孔し、ソース電極108及びドレイン電極109を形成する。

このようにして製造された薄膜トランジスタの代表的な特性を第2図に示す。グラフの横軸はソースに対するゲート電圧 $V_G$ であり、縦軸はドレイン電流 $I_D$ の常用対数値である。ドレイン電圧は $V_D=4V$ 、トランジスタサイズは $L=20\mu m$ 、 $W=10\mu m$ である。OFF電流がまだ大きく、スレ

シヨルド電圧 $V_{th}$ も高いことがわかる。この特性をさらに改善するためには、最終的なシリコン薄膜の膜厚 $t_1$ をもっと薄くすればよいわけであるが、実際には次のような理由により実現は難しい。すなわち、熱酸化によりゲート酸化膜を形成する際、シリコン薄膜は高温中(例えば $1100^\circ C$ )での熱処理を受けるため、多結晶化が進行し、結晶粒が大きく成長する。このため、シリコン薄膜表面の凹凸(アスペリテイ)が著しくなり、特にシリコン薄膜の膜厚が薄い場合、結晶粒界の優先酸化が起こりやすい。したがって、シリコン薄膜の結晶粒界近傍は二酸化シリコンとなり、キャリアの移動度は著しく低下し、トランジスタとしての特性が得られなくなってしまい、本出願人の行った実験の結果によると、シリコン薄膜の最終的な膜厚は $500\text{\AA}$ 以上必要であることが判明している。また、シリコン薄膜の熱酸化により形成した二酸化シリコンの膜厚は製造上のバラツキが大きく、例えば $t_{ox}=1500\text{\AA}$ を設定した場合、 $\pm 200\text{\AA}$ 程度のマージンを取らなくてはならない。

さらに、堆積時のシリコン薄膜の膜厚のバラツキも考慮すると、最終的なシリコン薄膜の膜厚 $t_1$ は約 $700\text{\AA}$ 以上が必要となる。

したがって、第2図に示した特性はほぼ限界に近いものであり、これ以上の大幅な特性改善は現状プロセスでは難しい。

本発明はこのような欠点を除去するものでありその目的とするところは、シリコン薄膜とゲート絶縁膜の界面状態を悪化させることなく、シリコン薄膜の膜厚をさらに薄くし、トランジスタ特性を大幅に向上せしめることにある。これを実現するために、本発明では、シリコン薄膜及びゲート絶縁膜となる二酸化シリコン膜を備えた薄膜トランジスタの製造方法において、前記シリコン薄膜上に、外部から二酸化シリコン膜を堆積させた後、熱酸化を行なうことによりゲート絶縁膜を形成することを特徴とする薄膜トランジスタの製造方法を提供する。以下、図面を参照しつつ、本発明を詳しく説明する。

第3図は本発明による薄膜トランジスタの製造

方法を示すものである。第3図(a)に示すように、絶縁基板301上にシリコン薄膜302を堆積する。その膜厚は、例えば $t_1=500\text{\AA}$ とする。次に第3図(b)のように、二酸化シリコン膜303を全面に堆積させる。その膜厚は例えば $t_{ox0}=1300\text{\AA}$ とする。この際の二酸化シリコン膜はシリコン薄膜を酸化して形成するのではなく、外部から直接、堆積させるものであれば、どのような形成方法によっても差し支えない。例えば、減圧CVD、常圧CVD、プラズマCVDなどのCVD法、あるいは、スパッタなどのPVD法などが挙げられる。次に第3図(c)のように、熱酸化処理を加えてシリコン薄膜上の二酸化シリコン膜の膜厚304を成長させる。これによる二酸化シリコン膜の膜厚の増分は、例えば $200\text{\AA}$ とし、最終的なゲート絶縁膜の膜厚は、 $t_{ox}=1500\text{\AA}$ とする。この熱酸化により最終的なシリコン薄膜の膜厚は $t_1=400\text{\AA}$ となる。以降の製造プロセスは従来の方法と全く同じであり、第3図(d)のように、ゲート電極305を形成した後、イオン打ち込み

法によりシリコン薄膜中に不純物を導入しソース領域306及びドレイン領域307を形成する。次に、層間絶縁膜308を堆積させた後、コンタクトホールを開孔し、ソース電極309及びドレイン電極310を形成する。

第4図は上記の製造方法により作製した薄膜トランジスタの特性を、第2図に示した従来の薄膜トランジスタの特性と対比して示したグラフである。グラフの横軸はソースに対するゲート電圧 $V_G$ であり、縦軸はドレイン電流 $I_D$ の常用対数値である。ドレイン電圧は $V_D=4V$ 、トランジスタサイズは、 $L=20\mu m$ 、 $W=10\mu m$ である。実線のグラフが本発明によるトランジスタの特性、破線のグラフが従来のトランジスタの特性を示している。

本発明の製造方法によれば最終的なシリコン薄膜の膜厚は、従来に比べて $\frac{1}{2}$ になるため、 $R_{DS(on)}$ 電流が $\frac{1}{2} \sim \frac{1}{3}$ に低減すると共に、 $V_{th}$ が低下したために $R_{on}$ 特性も著しく改善されている。すなわち、トランジスタ特性全体が大幅に向上しており、本発明の効果の大きさが理解される。

の表面があらかじめ二酸化シリコンで被覆されているため、さらにアスベリテイの発達は抑制されやすい。これらの効果のために、本発明によれば最終的なシリコン薄膜の膜厚を $300\text{\AA}$ 以下にまで実現できることが本出願人の実験により確認されている。

第2に、上記の点と関連して、酸化されて二酸化シリコンとなるシリコン薄膜の膜厚が少なくなることが挙げられる。従来の方法では、約 $700\text{\AA}$ のシリコン薄膜が酸素と反応して二酸化シリコンとなるのに対して、本発明では、わずか約 $100\text{\AA}$ のシリコン薄膜が消費されるにすぎない。したがって、最終的なシリコン薄膜の膜厚の制御が非常に容易となる。前述したようにトランジスタ特性は、シリコン薄膜の膜厚に対して非常に敏感であるから、本発明により、トランジスタ特性の均一性・再現性は飛躍的に向上する。

第3に、シリコン薄膜と二酸化シリコン膜との界面が、従来の熱酸化のみによるものと全く同等の状態に維持されることが挙げられる。前記第1

本発明の特徴は、第3図(a)及び(b)に示したように、外部から二酸化シリコンを堆積させた後に熱酸化を行なうことにある。以下、このような製造方法をとる意義とその効果について述べる。

まず第1に、従来の製造方法に比べて熱酸化を行なう処理時間が大幅に短縮できることが挙げられる。これについては第5図を参照しつつ説明する。第5図はシリコン薄膜を $1100^\circ C$ の温度で熱酸化した時の酸化時間 $T$ と成長する二酸化シリコンの成長膜厚 $d$ との関係を示すグラフである。従来の方法で $d=1500\text{\AA}$ を得るためには90分の熱酸化時間が必要であるが、本発明では、例えば前記の例に従えば、初期的に $1300\text{\AA}$ の二酸化シリコン膜が外部から堆積されているため、 $1500\text{\AA}$ までに成長させるには27分の熱酸化時間で済むことがわかる。このため、シリコン薄膜表面のアスベリテイが抑制され、従来よりもさらにシリコン薄膜を薄くしても充分なキャリア移動度が得られ、良好なトランジスタ特性が実現される。また、本発明では熱酸化の際、シリコン薄膜

及び第2の効果を実現するには、本発明における熱酸化工程を省略しても良いはずであるが、実際には、このようにするとシリコン薄膜と二酸化シリコン膜との界面に存在する界面単位密度が著しく増大するため、トランジスタのスレショルド電圧 $V_{th}$ が大幅に大きくなり、トランジスタ特性、特に $R_{on}$ 特性が著しく悪化する。これに対して、本発明では、シリコン薄膜と二酸化シリコン膜との界面は熱酸化により新規に形成されたものであるから、界面単位密度は小さく、界面状態は従来の熱酸化のみによるものと全く同等であるといえる。界面を改善するために必要な熱酸化による二酸化シリコン膜厚は、 $100 \sim 200\text{\AA}$ で充分であることが本出願人の実験により確認されている。

第4に、シリコン薄膜上に、外部から直接堆積された二酸化シリコン膜厚のパラッキが、熱酸化工程で補正されることが挙げられる。外部から堆積した二酸化シリコンの膜厚にパラッキが存在する場合、薄い膜厚のところでは薄い熱酸化膜が成長し、厚い膜厚のところでは薄い熱酸化膜が成長

するため、最終的にゲート絶縁膜の膜厚のパラメータは初期よりも小さくなる。これは、第5図のグラフから簡単に理解される。本発明における熱酸化工程の主な効果は第3項で述べたように界面単位密度を低減させることにあるが、その他にもここで述べたように、ゲート絶縁膜の膜厚を均一化させるという重要な効果も有している。ゲート絶縁膜の膜厚はトランジスタ特性を決定させる重要なパラメータであるが、この効果により、本発明による薄膜トランジスタのゲート絶縁膜の膜厚は非常に正確に制御することができる。

なお、前述した本発明の実施例の中で用いた種々の数値は、その目的とマージンに合わせて設定されるものであって、絶対的な意味を有するものではない。

以上、述べたように、本発明は優れた特性を有する薄膜トランジスタを再現性よく、また均一性よく実現するという優れた効果を有するものである。

図面の簡単な説明

第1図は従来の薄膜トランジスタの製造方法を示す図である。

第2図は従来の薄膜トランジスタの代表的な特性を示すグラフである。

第3図は本発明による薄膜トランジスタの製造方法を示す図である。

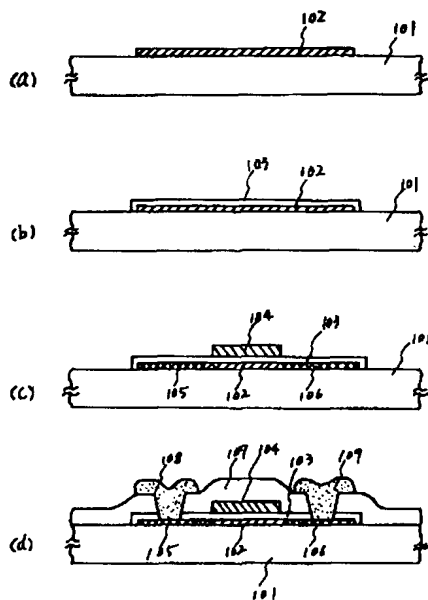
第4図は本発明による薄膜トランジスタの特性を従来の特性と比較して示したグラフである。

第5図は本発明を説明するために用いる酸化時間と二酸化シリコンの成長膜厚を示すグラフである。

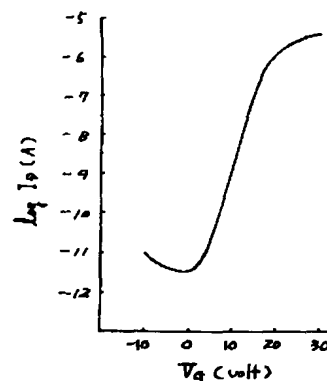
以 上

出願人 株式会社 森田精工舎

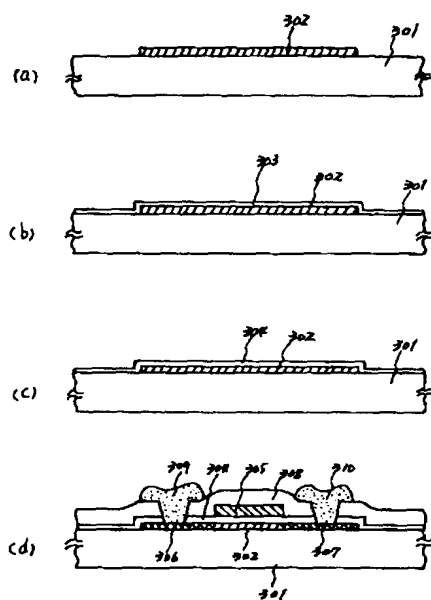
代理人 弁理士 最 上



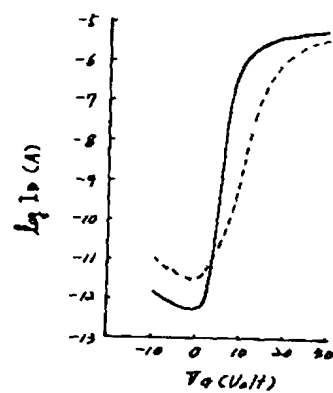
第 1 図



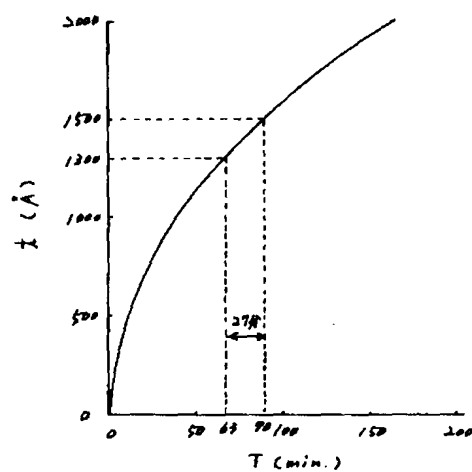
第 2 図



第 3 図



第 4 図



第 5 図